

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-153613

(43)公開日 平成9年(1997)6月10日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78 21/316		9055-4M	H 01 L 29/78 21/94 29/78	6 5 3 A A 6 5 2 K
		9055-4M		

審査請求 未請求 請求項の数14 O L (全 11 頁)

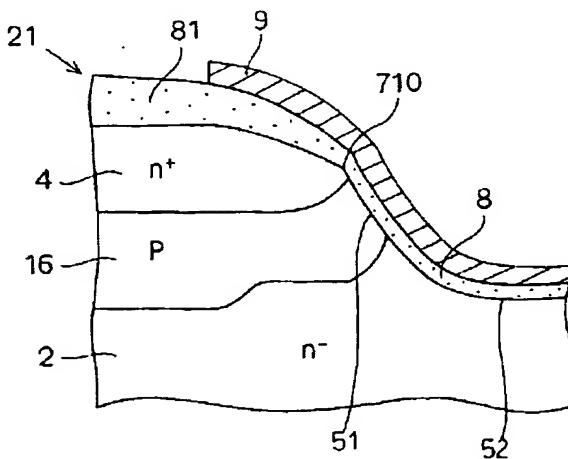
(21)出願番号	特願平8-159716	(71)出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成8年(1996)6月20日	(72)発明者	戸松 裕 愛知県刈谷市昭和町1丁目1番地 日本電 装株式会社内
(31)優先権主張番号	特願平7-253940	(72)発明者	片岡 光浩 愛知県刈谷市昭和町1丁目1番地 日本電 装株式会社内
(32)優先日	平7(1995)9月29日	(74)代理人	弁理士 雪冰 裕彦
(33)優先権主張国	日本 (JP)		

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 選択酸化に先立ちエッティングにより溝を形成しその溝を含む領域を選択酸化し、この溝の側面をチャネル部とする工程を有する半導体装置において、ゲート絶縁膜8の寿命向上が達成できる半導体装置を得ることにある。

【解決手段】 窒化シリコン膜63をマスクとして溝64の部分を熱酸化する。この酸化によりLOCOS酸化膜65が形成され、同時にLOCOS酸化膜65によって喰われたn<sup>-</sup>型エピタキシャル層2の表面にU溝50が形成され、かつ溝50の形状が確定する。この時、ケミカルドライエッティング工程で形成された屈曲部710は、溝の側面に屈曲710として残る。この後にゲート絶縁膜8を形成するが、ゲート絶縁膜8の厚さを屈曲部710を境界にして溝底部側より溝開口部側の方を厚く形成する。



## 【特許請求の範囲】

【請求項1】 主表面側に表面を有する第1導電型の半導体基板と、前記半導体基板の主表面に形成され、前記半導体基板の主表面から次第に深くなる傾斜部分、前記傾斜部分よりも深く形成された底面、前記傾斜部分と前記底面とを結ぶ側面、及び前記傾斜部分と前記側面との境界にあり屈曲した屈曲部、からなる溝部と、前記溝部表面に形成され、前記溝部に接した第1の面と、前記第1の面の裏面の第2の面を有し、前記第2の面における前記屈曲部付近の曲率半径が、前記第1の面における前記屈曲部に接する部分の曲率半径よりも大きいゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極、前記溝部の前記側面に形成されるベース領域、前記ベース領域内に形成されるソース領域、及び前記半導体基板に接続されたドレン電極、からなるMOSトランジスタとを備えることを特徴とする半導体装置。

【請求項2】 主表面側に表面を有する第1導電型の半導体基板と、前記半導体基板の主表面に形成され、前記半導体基板の主表面から次第に深くなる傾斜部分、前記傾斜部分よりも深く形成された底面、前記傾斜部分と前記底面とを結ぶ側面、及び前記傾斜部分と前記側面との境界にあり屈曲した屈曲部、からなる溝部と、前記溝部の前記底面及び前記側面に形成されたゲート絶縁膜、及び前記屈曲部から前記傾斜部分に渡って形成され前記ゲート絶縁膜と連続的に形成された入口絶縁膜、からなる絶縁膜と、前記絶縁膜上に形成されるゲート電極、前記溝部の前記側面に形成されるベース領域、前記ベース領域内に形成されるソース領域、及び前記半導体基板に接続されたドレン電極、からなるMOSトランジスタとを備え、前記絶縁膜における前記入口絶縁膜と前記ゲート絶縁膜との境界部分の膜厚は、前記ゲート絶縁膜のうちの前記傾斜部分に対応する部分の膜厚よりも厚い膜厚を有することを特徴とする半導体装置。

【請求項3】 主表面側に表面を有する第1導電型の半導体基板と、前記半導体基板の主表面に形成され、前記半導体基板の主表面から次第に深くなる傾斜部分、前記傾斜部分よりも深く形成された底面、前記傾斜部分と前記底面とを結ぶ側面、及び前記傾斜部分と前記側面との境界にあり屈曲した屈曲部、からなる溝部と、前記溝部の前記底面及び前記側面に形成されたゲート絶縁膜、及び前記屈曲部から前記傾斜部分に渡って形成され前記ゲート絶縁膜と連続的に形成された入口絶縁膜、からなる絶縁膜と、前記絶縁膜上に形成されるゲート電極、前記溝部の前記側面に形成されるベース領域、前記ベース領域内に形成

されるソース領域、及び前記半導体基板に接続されたドレン電極、からなるMOSトランジスタとを備え、前記絶縁膜における前記入口絶縁膜と前記ゲート絶縁膜との境界部分は、前記ゲート電極内の屈曲部付近での電界集中を緩和する構造を有することを特徴とする半導体装置。

【請求項4】 主表面側に表面を有する第1導電型の半導体基板と、前記半導体基板の主表面に形成され、前記半導体基板の主表面から次第に深くなる傾斜部分、前記傾斜部分よりも深く形成された底面、前記傾斜部分と前記底面とを結ぶ側面、及び前記傾斜部分と前記側面との境界にあり屈曲した屈曲部、からなる溝部と、前記溝部の前記底面及び前記側面に形成されたゲート絶縁膜、及び前記屈曲部から前記傾斜部分に渡って形成され前記ゲート絶縁膜よりも厚い膜厚を有し、前記ゲート絶縁膜と連続的に形成された入口絶縁膜、からなる絶縁膜と、

前記絶縁膜上に形成されるゲート電極、前記溝部の前記側面に形成されるベース領域、前記ベース領域内に形成されるソース領域、及び前記半導体基板に接続されたドレン電極、からなるMOSトランジスタとを備えることを特徴とする半導体装置。

【請求項5】 前記入口絶縁膜は、前記屈曲部から離れるに従って、徐々に厚くなることを特徴とする請求項2乃至請求項4記載の半導体装置。

【請求項6】 前記ゲート絶縁膜は、略均一の厚さを有することを特徴とする請求項1乃至請求項5記載の半導体装置。

【請求項7】 前記溝部における前記屈曲部は、前記傾斜部分と前記底面とが所定角度で接続された部分であることを特徴とする請求項1乃至請求項6記載の半導体装置。

【請求項8】 前記溝部は、前記側面が前記主表面に対して傾斜し、前記側面と前記底面とが曲面にて接続されるバスタブ形状であることを特徴とする請求項1乃至請求項7記載の半導体装置。

【請求項9】 前記半導体基板の面方位は、{100}面であることを特徴とする請求項1乃至請求項8記載の半導体装置。

【請求項10】 前記溝部は、前記半導体基板の表面を主表面として所定領域に、エッチングにより前記主表面に対して略垂直の入口を有する初期溝を形成し、該初期溝を選択酸化して前記所定領域の前記半導体層内に前記主表面より所定深さを有する選択酸化膜を形成し、しかる後に前記選択酸化膜を除去することにより形成されることを特徴とする請求項1乃至請求項9記載の半導体装置。

【請求項11】 前記エッチングは等方性エッチングであることを特徴とする請求項1乃至請求項10記載の半

導体装置。

【請求項12】前記初期溝における前記側面は、前記主表面に対して70°乃至90°の角度を有することを特徴とする請求項10乃至請求項11記載の半導体装置。

【請求項13】前記溝部は、前記半導体基板の表面を主表面として所定領域に、ケミカルドライエッティングにより初期溝を形成し、該初期溝を選択酸化して前記所定領域の前記半導体層内に前記主表面より所定深さを有する選択酸化膜を形成し、しかる後に前記選択酸化膜を除去することにより形成されることを特徴とする請求項1乃至請求項12記載の半導体装置。

【請求項14】前記MOSトランジスタにおける前記ベース領域は、第2導電型を有し、前記半導体基板内における前記溝部の前記側面に、前記半導体基板の前記主表面側から所定深さまで形成されるものであり、前記ソース領域は、第1導電型を有し、前記溝部の前記側面にチャネル領域を構成させるものであり、前記ドレイン電極は、前記半導体基板の他主面側に電気的に接觸するものであり、更に、前記ベース領域と前記ソース領域に接觸するソース電極を備えることを特徴とする請求項1乃至請求項13記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電力用半導体素子として用いられる半導体装置、すなわち縦型パワーMOSFET(Metal Oxide Semiconductor Field Effect Transistor)およびIGBT(Insulated Gate Bipolar Transistor)に関し、その用途としては、例えば電力用半導体素子を組み込んだMOSIC等がある。

【0002】

【従来の技術】従来の縦型パワーMOSFETとして、例えば特開昭62-12167号公報に開示や国際公開WO93/03502号公報に開示されているように、素子表面に溝を形成し、その溝の側面にチャネル部を形成した構造が知られている。上記特開昭62-12167号公報や国際公開WO93/03502号の縦型パワーMOSFETは、ウエットエッティングを用いて基板に対して略直角(約70°～90°)の入口を有する初期溝を形成し、その初期溝をLOCOS酸化(選択酸化)させ、そのLOCOS酸化膜をエッティング除去することでU溝を形成する。これらのU溝形状は、トレンチ形状に対してバスタブ形状といわれる。

【0003】そして、上記方法で形成されたU溝は、初期溝の形成に物理的にイオンを衝突させるドライエッティングのRIE(Reactive Ion Etching)を用いないため、エッティングされた面に格子欠陥が発生しにくく、移動度の低下を防止できるという特徴がある。

【0004】

【発明が解決しようとする課題】しかしながら、今回、

本発明者等が実験したところ、上記公報のように、エッティングを用いて基板に初期溝を形成し、その初期溝をLOCOS酸化(選択酸化)させ、そのLOCOS酸化膜をエッティング除去することでU溝を形成するものにおいては、当初の初期溝と類似した溝構造(単に初期溝が拡大された構造)とはならないことが判った。即ち、基板表面と初期溝との境目である上記入口を酸化した部分では、その酸化膜をエッティング除去した時に、曲率半径の小さい屈曲部(図2の710参照)が残ることが明らかになった。

【0005】しかも、上記屈曲部を含むU溝表面及び基板表面にゲート絶縁膜が形成され、そのゲート絶縁膜上にこの屈曲を含むようにゲート電極が形成されるため、このゲート電極の屈曲部上付近で電界が集中し、屈曲部を含むU溝表面とゲート電極との間の耐圧が低下することを見出した。さらに、屈曲部を含むU溝表面とゲート電極との間の絶縁破壊が起こることによりゲート絶縁膜の寿命が短くなることを見出した。

【0006】そこで本発明は上記点に鑑みたものであり、その目的は、屈曲部を含むU溝表面とゲート電極との間の耐圧低下を防止する半導体装置を得ることである。また、その他の目的は、屈曲部を含むU溝表面とゲート電極との間の絶縁破壊を防止する半導体装置を得ることである。また、その他の目的は、ゲート絶縁膜の寿命の向上が達成できる半導体装置を得ることである。

【0007】また、その他の目的は、ゲート電極の電界集中を防止できる半導体装置を得ることである。また、その他の目的は、基板に対して初期溝を形成し、その初期溝をLOCOS酸化させ、そのLOCOS酸化膜をエッティング除去することでU溝を形成する半導体装置において、ゲート電極での電界集中を防止できる半導体装置を得ることである。

【0008】更に、その他の目的は、基板に対して初期溝を形成し、その初期溝をLOCOS酸化させ、そのLOCOS酸化膜をエッティング除去することでU溝を形成する半導体装置において、ゲート絶縁膜の寿命の向上が達成できる半導体装置を得ることである。

【0009】  
【課題を解決するための手段】上記構成の請求項1記載の発明によれば、溝部は、傾斜部分と側面との境界に屈曲部を有している。本発明によれば、溝部表面に形成されるゲート絶縁膜は、溝部に接した第1の面と、第1の面の裏面の第2の面を有し、第2の面における屈曲部付近の曲率半径が、第1の面における屈曲部に接する部分の曲率半径よりも大きく設定されているため、屈曲部上のゲート電極での電界集中が緩和され、屈曲部を含む溝部表面とゲート電極との間の耐圧低下を防止できる。また、ゲート絶縁膜の寿命を向上することができる。

【0010】上記構成の請求項2記載の発明によれば、溝部は、傾斜部分と側面との境界に屈曲部を有してお

り、更に、溝部表面に形成される絶縁膜は、溝部の底面及び側面に形成されたゲート絶縁膜、及び屈曲部から傾斜部分に渡って形成された入口絶縁膜からなっている。本発明においては、絶縁膜における入口絶縁膜とゲート絶縁膜との境界部分の膜厚が、ゲート絶縁膜のうちの傾斜部分に対応する部分の膜厚よりも厚い膜厚を有するため、屈曲部上部に形成される絶縁膜の表面の曲率が小さくなる。これにより、屈曲部上のゲート電極での電界集中が緩和され、屈曲部を含む溝部表面とゲート電極との間の耐圧低下を防止できる。また、ゲート絶縁膜の寿命を向上することができる。

【0011】上記構成の請求項3記載の発明によれば、絶縁膜における入口絶縁膜とゲート絶縁膜との境界部分は、ゲート電極内の屈曲部付近での電界集中を緩和する構造を有するため、屈曲部上のゲート電極での電界集中が緩和され、屈曲部を含む溝部表面とゲート電極との間の耐圧低下を防止できる。また、ゲート絶縁膜の寿命を向上することができる。

【0012】上記構成の請求項4記載の発明によれば、溝部は、傾斜部分と側面との境界に屈曲部を有しており、更に、溝部表面に形成される絶縁膜は、溝部の底面及び側面に形成されたゲート絶縁膜、及び屈曲部から傾斜部分に渡って形成された入口絶縁膜からなっている。本発明においては、屈曲部を境にして入口絶縁膜の膜厚がゲート絶縁膜よりも厚いため、屈曲部上部に形成される絶縁膜全体の表面の曲率が小さくなる。これにより、屈曲部上のゲート電極での電界集中が緩和され、屈曲部を含む溝部表面とゲート電極との間の耐圧低下を防止できる。また、ゲート絶縁膜の寿命を向上することができる。

【0013】上記構成の請求項5記載の発明によれば、絶縁膜における入口絶縁膜が、屈曲部から半導体基板の表面に近づく程、徐々に厚くなっているため、絶縁膜の表面の曲率が小さくなり、屈曲部上のゲート電極での電界集中が緩和される。この結果、ゲート絶縁膜の寿命を向上することができる。上記構成の請求項6記載の発明によれば、絶縁膜におけるゲート絶縁膜が略均一の厚さを有するため、局部的にゲート電極とベース領域・ソース領域との耐圧が低下することを防止でき、絶縁膜の寿命を向上することができる。

【0014】上記構成の請求項7記載の発明によれば、傾斜部分と底面とが所定角度で接続された部分で屈曲部が規定される。上記構成の請求項8記載の発明によれば、溝部はバスタブ形状、すなわちチャネル領域となる部分を有する側面が主表面に対して傾斜しており、側面と底面とが曲面にて接続されている。これによりチャネルの移動度が低下することが防止され、オン抵抗を低減させることができるのでなく、側面と底面との境界における電界集中が緩和されるため、この部分での絶縁耐圧が向上し、ゲート絶縁膜の寿命を向上することができる。

る。

【0015】また上記構成の請求項9記載の発明によれば、前記半導体基板の面方位が{100}面であると好ましい。上記構成の請求項10記載の発明によれば、チャネル領域となる溝部の側面の格子欠陥を少なくすることができ、オン抵抗を低減することができる。上記構成の請求項11記載の発明によれば、等方性エッチングにより初期溝を形成するため、容易に溝部を形成することができる。

【0016】上記構成の請求項12記載の発明によれば、初期溝の側面が主表面に対して70°乃至90°の角度を有しているため、選択酸化により容易に、所望の角度の側面を有する溝部を形成することができる。上記構成の請求項13記載の発明によれば、ケミカルドライエッチングにより初期溝を形成するため、チャネル領域となる溝部の側面の格子欠陥を少なくすることができ、オン抵抗を低減することができるだけでなく、容易に溝部を形成することができる。

【0017】ケミカルドライエッチングは、ガスの侵食で半導体装置をエッチングしていくため、形成される初期溝の半導体基板表面付近が鋭くなる。そして、この鋭い初期溝を選択酸化した場合、その鋭くなった部分が酸化された部分に、屈曲部が形成されやすくなる。本発明においては、屈曲部上部に形成される絶縁膜全体の表面の曲率が小さくなるから、屈曲部上のゲート絶縁膜の電界集中が緩和され、ゲート絶縁膜の寿命を向上することができる。

【0018】上記構成の請求項14記載の発明によれば、オン抵抗の小さな縦型のMOSトランジスタを構成することができ、装置全体での発熱量が低減できるため、ゲート絶縁膜の信頼性も向上し、ゲート絶縁膜の寿命を向上することができる。

【0019】

【実施の形態】以下図面を参照して本発明の実施の形態について説明する。図1(a)は本発明の実施の形態による四角形ユニットセルからなる縦型パワーMOSFETの平面図であり、同図(b)は同図(a)におけるA-A断面図である。また図2は、図1(b)において本発明の特徴部分を示す拡大図である。なお、図2はゲート酸化膜8(ゲート絶縁膜)、ゲート酸化膜81(入口絶縁膜)の特徴を示すものであり、その他の部分については省略してある。

【0020】図1(a)に示すように、この実施の形態の縦型パワーMOSFETは、その要部、即ちユニットセル部分を図1に示すような構造として、このユニットセル15がピッチ幅(ユニットセル寸法)aで平面上縦横に規則正しく多数配置された構造となっている。図1(b)において、ウエハ21(半導体基板に相当)は不純物濃度が $10^{20} \text{ cm}^{-3}$ 程度で厚さ $100 \sim 300 \mu\text{m}$ のn<sup>+</sup>型シリコンからなる半導体支持基板1上に、不純

物密度が $10^{16} \text{ cm}^{-3}$ 程度で厚さが $7 \mu\text{m}$ 前後のn<sup>-</sup>型エピタキシャル層2が構成されたものである。そして、このウエハ21の主表面にユニットセル15が、ユニットセル寸法a=12μm程度で形成されている。

【0021】ウエハ21の主表面側に、接合深さが3μm程度のp型ベース層16が形成され、このp型ベース層16内に接合深さが1μm程度のn<sup>+</sup>型ソース層4が形成されている。そして、ウエハ21の主表面側には、U溝50(溝部)が形成されている。図2に示すように、U溝50は、ウエハ21の主表面から次第に深くなる傾斜部分211、傾斜部分211よりも深く形成されるとともにウエハ21の主表面側から所定深さを有する底面52、及び傾斜部分211と底面52とを連続的で滑らかに結ぶ側面51からなる。ここで、本実施の形態におけるU溝50は、側面51が主表面に対して傾斜し、傾斜部分211と側面51が曲率半径の小さい曲面で接続され、更に側面51と底面52とが曲面にて接続されるバスタブ形状を有している。ここで、U溝50の傾斜部分211と側面51との境界には、図2に示されるような曲率半径の小さい(尖った形状、または鋭い形状の)屈曲部710が存在している。なお、傾斜部分211と底面52とが所定角度で接続された部分で屈曲部が規定される。

【0022】また、図1(b)に示すように、n<sup>+</sup>型ソース層4により、p型ベース層16内におけるU溝50の側壁部51にチャネル5が設定される。ここで、p型ベース層16の接合深さはU溝50底辺のエッジ部12でブレークダウンによる破壊が生じない深さに設定されている。更に、p型ベース層16の中央部の接合深さが周囲よりも深くなるように、あらかじめp型ベース層16の中央部にボロンが拡散されており、ドレイン・ソース間に高電圧が印加されたときに、p型ベース層16の底面52の中央部でブレークダウンが起こるように設定されている。

【0023】U溝50の表面(内壁)とウエハ21の主表面の一部には、ゲート酸化膜8が形成されている。本実施の形態においては、図2に示すように、U溝50の底面52及び側面51に厚さが60nm程度のほぼ均一なゲート酸化膜8が形成され、屈曲部710からウエハ21の表面211に渡り、屈曲部710からウエハ21の表面211に行くに従って徐々に厚くなるとともに、底面52及び側面51のゲート酸化膜8よりも厚いゲート酸化膜81が形成されている。

【0024】このように、屈曲部710上部に形成されるゲート酸化膜の表面の曲率が小さくなり(曲率半径は大きくなり)、屈曲部上のゲート酸化膜の電界集中が緩和されるため、ゲート酸化膜8、81の寿命を向上することができる。そして、図1(b)に示すように、そのゲート酸化膜8、81上に厚さが400nm程度でボリシリコンからなるゲート電極9が形成され、更にその上

に厚さが1μm程度のBPSGからなる層間絶縁膜18が形成されている。

【0025】さらに、p型ベース層16の中央部表面に接合深さが0.5μm程度のp<sup>+</sup>型ベースコンタクト層17が形成され、層間絶縁膜18の上に形成されたソース電極19とn<sup>+</sup>型ソース層4およびp<sup>+</sup>型ベースコンタクト層17が、コンタクト穴を介してオーミック接触している。また、半導体支持基板1の裏面にオーミック接触するようにドレイン電極20が形成されている。

【0026】次に本実施の形態の製造方法を、図3～図25に基づき説明する。まず、図3、図4に示されるように、n<sup>+</sup>型シリコンからなる面方位が(100)である半導体支持基板1の主表面にn<sup>-</sup>型のエピタキシャル層2を成長させたウエハ21を用意する。この半導体支持基板1はその不純物濃度が $10^{19} \text{ cm}^{-3}$ 程度になっている。また、エピタキシャル層2はその厚さが7μm程度で、その不純物濃度は $10^{16} \text{ cm}^{-3}$ 程度となっている。

【0027】次に、図5に示される様に、このウエハ21の主表面を熱酸化して厚さ60nm程度のフィールド酸化膜60を形成し、その後レジスト膜61を堆積して公知のフォトリソ工程にて、セル形成予定位置の中央部に開口するバターンにレジスト膜61をバーニングする。そして、このレジスト膜61をマスクとしてボロン(B<sup>+</sup>)をイオン注入する。

【0028】レジスト剥離後、熱拡散により図6に示すように接合深さが3μm程度のp型拡散層62を形成する。このp型拡散層62は、最終的には後述するp型ベース層16の一部となり、ドレイン・ソース間に高電圧が印加されたとき、p型拡散層62の底辺部分で安定にブレークダウンを起こさせることにより、耐サージ性を向上させる目的を果たす。また、図6はLOCOS酸化のために窒化シリコン膜63をユニットセル寸法aの間隔でバーニングしたウエハ21の断面図である。図6に示すように、ウエハ21の主表面に窒化シリコン膜63を約200nm堆積し、この窒化シリコン膜63を図6に示すように<011>方向に垂直及び平行になるようにバーニングして、ピッチ幅(ユニットセル15の寸法)aで開口する格子状の開口バターンを形成する。なお、この開口バターンは上述のp型拡散層62がそのピッチ間隔の中央部に位置するようにマスク合わせしている。

【0029】次に、窒化シリコン膜63をマスクとしてフィールド酸化膜60をエッティングし、ひきつづき図8に示すように、四フッ化炭素と酸素ガスを含む放電室702でプラズマを発生させて、化学的な活性種を作り、この活性種を反応室703へ輸送し、反応室703でn<sup>-</sup>型エピタキシャル層2を等方的に等方性エッティングであるケミカルドライエッティングして初期溝64を形成する。ここで、初期溝64は、図9に示すような、半導体

基板表面に対して略垂直（約70°～90°）な入口709を有する。この時、図9に示すような、半導体基板表面と溝の側面51で形成される入口709は、ドライエッチングやケミカルドライエッチング等のガスを用いたエッチングにおいて特に略直角に成り易い。すなわち、ウエットエッチングにおいてはエッチャントの表面張力により、マスクとなるフィールド酸化膜60下面の入口709にエッチャントが溜まりやすく、そのため入口709のエッチングが進行しやすくなつて曲率半径は差ほど小さくならない傾向にある。しかしながら、本発明においては、ドライエッチングやケミカルドライエッチング等のガスを用いたエッチングだけでなく、エッチャントを用いたウエットエッチングにおいても有効である。

【0030】次に、図10に示すように、窒化シリコン膜63をマスクとして初期溝64の部分を熱酸化する。これはLOCOS(Local Oxidation of Silicon)法として良く知られた酸化方法であり、この酸化によりLOCOS酸化膜65が形成され、同時にLOCOS酸化膜65によって喰われたn-型エピタキシャル層2の表面にU溝50が形成され、かつ溝50の形状が確定する。この時、図に示せるように、ケミカルドライエッチング工程で形成された屈曲部709は、溝の側面51と表面211との境界に屈曲710として残る。この時、図に示すようにU溝50の側面51のチャネル形成部の面方位が(111)(θ=54.7°)に近い面(好ましくは55°±15°)となるようにケミカルドライエッチングの条件とLOCOS酸化の条件を選ぶ。

【0031】このようにしてLOCOS酸化により形成されたU溝50の内壁表面は平坦で欠陥が少なく、その表面は図2に示されるウエハ21の初期の主表面と同程度に表面状態が良い。次に、図11に示すように、LOCOS酸化膜65をマスクとして、薄いフィールド酸化膜60を透過させてp型ベース層16を形成するためのボロンB<sup>+</sup>をイオン注入する。このとき、LOCOS酸化膜65とフィールド酸化膜60の境界部分が自己整合位置になり、イオン注入される領域が正確に規定される。

【0032】次に、図12に示すように、接合深さ3μm程度まで熱拡散する。この熱拡散により、図6に示す工程において前もって形成したp型拡散層62と、図11に示す工程において注入されたボロンの拡散層が一体になり、一つのp型ベース層16を形成する。また、p型ベース層16の領域の両端面はU溝50の側壁の位置で自己整合的に規定される。

【0033】次に、図13に示すように、格子状のパターンでウエハ21表面に形成されているLOCOS酸化膜65により囲まれたp型ベース層16表面中央部に残されたパターンでバーニングされたレジスト膜66とLOCOS酸化膜65と共にマスクとして、薄いフィー

ルド酸化膜60を透過させてn+型ソース層4を形成するためのリンP<sup>+</sup>をイオン注入する。このように、n+型ソース層4の形成は、図11に示す工程においてボロンをイオン注入した場合と同様に、LOCOS酸化膜65とフィールド酸化膜60の境界部分が自己整合位置になり、イオン注入される領域が正確に規定される。

【0034】次に、図14に示すように、接合深さ0.5～1μm熱拡散し、n+型ソース層4を形成し、同時にチャネル5も設定する。この熱拡散により得られる接合深さは、図15に示すように、前記エッチング時に形成され、前記選択酸化後まで溝側面51に残った屈曲部710よりも深く設定する。この熱拡散において、n+型ソース層4の領域のU溝50に接した端面は、U溝50の側壁の位置で自己整合的に規定される。

【0035】以上、図11～図14の工程によりp型ベース層16の接合深さとその形状が確定する。このp型ベース層16の形状において重要なことは、p型ベース層16の側面51の位置がU溝50の側面51により規定され、自己整合されて熱拡散するため、U溝50に対してp型ベース層16の形状は完全に左右対称になる。

【0036】次に、図16に示すように、LOCOS酸化膜65を沸騰水溶液700中で、フッ化アンモニウムによりPHが5程度に調整された状態で、シリコンのウエハ21表面を水素で終端させながら酸化膜を除去してU溝50の内壁51を露出させる。この除去工程は選択酸化膜の形成されている面に光が当たらないように遮光布704で遮光して行う。

【0037】この後、水溶液中から取りだし、清浄な空気中で乾燥させる。次に、図17に示すように、チャネルが形成される予定のp型ベース層16のU溝の側面51に(111)面が形成されるまでパッド酸化膜600を形成する。この熱酸化工程により、チャネルが形成される予定面の原子オーダーでの平坦度が高くなる。

【0038】この熱酸化工程は、図18に示すように、酸素雰囲気に保たれ、約1000°Cに保持されている酸化炉601にウエハ21を固定したホルダー603を徐々に挿入することにより行う。このようにすると、酸化の初期は比較的低い温度で行われるため、p型ベース領域16、n+型ソース領域4の不純物が、酸化工程中にウエハ外部に飛散することを抑えられる。

【0039】次に、図19に示すように、この酸化膜600を除去する。この酸化膜600の除去も選択酸化膜の除去と同様に沸騰水溶液中で、フッ化アンモニウムによりPHが5程度に調整された状態で、露出されたシリコンの表面を水素で終端させながら行う。このような方法で形成されたU溝50の内壁51は、平坦度が高く、また欠陥も少ない良好なシリコン表面である。

【0040】つづいて図20に示すように、U溝50の側面51及び底面52に熱酸化により厚さ60nm程度のゲート酸化膜8を形成する。この酸化工程は前述の図

18で説明したのと同様に、酸素雰囲気602に保たれ、約1000°Cに保持されている酸化炉601にウエハ21を徐々に挿入する。このようにすると、酸化の初期は比較的低い温度で行われるため、p型ベース領域16、n<sup>+</sup>型ソース領域4の不純物が、酸化工程中にウエハ外部に飛散することを抑えられる。ゲート酸化膜8の膜質や、チャネル5の界面の界面準位密度、キャリア移動度は従来のDMOSと同程度に良好である。ここで、図2に示すようにゲート酸化膜8の厚さは屈曲部710を境界にして溝底部側より溝開口部側の方が厚く形成される。これは、不純物による増速酸化のためである。すなわち、不純物が注入されたシリコンは注入されていないシリコンよりも酸化速度が速いためである。

【0041】次に、図21に示すように、ウエハ21の主表面に厚さ400nm程度のポリシリコン膜を堆積し、隣接した二つのU溝50の上端の距離bよりも2βだけ短い距離cだけ離間するようにバターニングしてゲート電極9を形成する。次にゲート電極9の端部においてゲート酸化膜8が厚くなるよう酸化する。以上、図11～図21に示すようにLOCOS酸化膜65を自己整合的な二重拡散のマスクとして使用し、p型ベース層16、n<sup>+</sup>型ソース層4及びチャネル5を形成し、次にLOCOS酸化膜65を除去した後、ゲート酸化膜8、ゲート電極9を形成する。

【0042】次に、図22に示すように、バターニングされたレジスト膜68をマスクとしてゲート酸化膜81を透過してp<sup>+</sup>型ベースコンタクト層17を形成するためのボロンをイオン注入する。更に図23に示すように、接合深さ0.5μm程度熱拡散し、p<sup>+</sup>型ベースコンタクト層17を形成する。そして、図1(b)に示すように、ウエハ21の主表面にBPSGからなる層間絶縁膜18を形成し、その一部にコンタクト穴を開けを行いp<sup>+</sup>型ベースコンタクト層17とn<sup>+</sup>型ソース層4を露出させる。さらに、アルミニウム膜からなるソース電極19を形成し、前記コンタクト穴を介してp<sup>+</sup>型ベースコンタクト層17とn<sup>+</sup>型ソース層4とにオーミック接觸させる。さらに、アルミニウム膜保護用としてプラズマCVD法等により窒化シリコン等よりなるバッシベーション膜(図示略)を形成し、また、ウエハ21の裏面にはTi/Ni/Auの3層膜からなるドレイン電極20を形成し、n<sup>+</sup>型半導体支持基板1にオーミック接觸をとる。

【0043】本発明の実施の形態によれば、溝部は、傾斜部分211と側面51との境界に屈曲部を有しており、更に、溝部表面に形成されるゲート酸化膜は、溝部の底面及び側面51に形成されたゲート酸化膜8(ゲート絶縁膜)、及び屈曲部710から傾斜部分211に渡って形成されたゲート酸化膜81(入口絶縁膜)からなっている。本実施の形態においては、屈曲部710を境にしてゲート酸化膜81の膜厚がゲート酸化膜8よりも

厚いため、屈曲部710上部に形成されるゲート酸化膜の表面の曲率が小さくなり、屈曲部710上のゲート酸化膜の電界集中が緩和されるため、屈曲部710を含むU溝表面とゲート電極9との間の耐圧低下を防止できる。結果、ゲート酸化膜8、81の寿命を向上することができる。

【0044】更に、ゲート酸化膜81(入口絶縁膜)が、屈曲部710からウエハ21の表面に近づく程(屈曲部から離れる程)、徐々に厚くなっているため、ゲート酸化膜81の表面の曲率が小さくなり、屈曲部710上のゲート酸化膜8、81の電界集中が緩和されるため、ゲート絶縁膜の寿命を向上することができる。そしてゲート酸化膜8(ゲート絶縁膜)が略均一の厚さを有するため、局部的にゲート電極とベース領域・ソース領域との耐圧が低下することを防止でき、ゲート酸化膜8の寿命を向上することができる。

【0045】また、別の見方をすれば、溝部は、傾斜部分211と側面51との境界に屈曲部710を有している。溝部表面に形成されるゲート酸化膜(ゲート絶縁膜)は、溝部に接した第1の面と、第1の面の裏面である第2の面を有し、第2の面における屈曲部付近の曲率半径が、第1の面における屈曲部に接する部分の曲率半径よりも大きく設定されているため、屈曲部上のゲート酸化膜の電界集中が緩和され、ゲート絶縁膜の寿命を向上することができる。

【0046】また溝部が、バスタブ形状、すなわちチャネル領域となる部分を有する側面51が主表面に対して傾斜しており、入口と側面51とが曲面にて接続され、更に側面51と底面52とが曲面にて接続されている。これによりチャネルの移動度が低下することが防止され、オン抵抗を低下させることができるだけでなく、入口と側面51との境界及び側面51と底面52との境界における電界集中が緩和されるため、この部分での絶縁耐圧が向上し、ゲート絶縁膜の寿命を向上することができる。

【0047】更に、初期溝の側面51が主表面に対して70°乃至90°の角度を有しているため、選択酸化により容易に、所望の角度の側面51を有する溝部を形成することができる。さらに、チャネル領域を、前記エッチング時に形成され、前記選択酸化後まで溝側面51に残った屈曲部710よりも深い領域に形成する。これにより、非常に薄い反転層中を電子が流れているチャネル領域がフラットになり、電子の流れが屈曲の影響で乱されることを防ぐことにより低オン電圧が得られる。

【0048】さらに、U溝50は、半導体基板の表面を主表面として所定領域に、等方性エッチングにより、主表面に対して略垂直の側面51を有する初期溝を形成し、初期溝を選択酸化して所定領域の半導体層内に主表面より所定深さを有する選択酸化膜を形成し、かかる後

に選択酸化膜を除去することにより形成されるため、チャネル領域となる溝部の側面51の格子欠陥を少なくすることができ、これによりオン抵抗を低減することができる。ここで、等方性エッティングとしてケミカルドライエッティングを用いて初期溝を形成するため、チャネル領域となる溝部の側面51の格子欠陥を更に少なくすることができ、オン抵抗を低減することができるだけでなく、容易に溝部を形成することができる。

【0049】ケミカルドライエッティングは、ガスの侵食で半導体装置をエッティングしていくため、形成される初期溝の半導体基板表面付近が鋭くなる。そして、この鋭い初期溝を選択酸化した場合、その鋭くなった部分が酸化された部分に、屈曲部が形成されやすくなる。本実施の形態においては、屈曲部上部に形成される絶縁膜全体の表面の曲率が小さくなるから、屈曲部上のゲート酸化膜8、81の電界集中が緩和され、ゲート酸化膜8、81の寿命を向上することができる。

【0050】上記実施の形態では、本発明を格子状のパターンを用いて説明したが、本発明は格子状パターンに限定されるものではなく、例えばストライプ状のパターンにも適用でき、同様の効果を得ることができる。さらに本発明は、実施の形態で示した縦型のMOSFETに限定されるものではなく、例えばこのようなMOSFETを組み込んだパワーMOSICや、絶縁ゲート型バイポーラトランジスタ（IGBT）のゲート構造等にも適用することができる。また、実施の形態中ではnチャネル型についてのみ説明したが、n型とp型の半導体の型を入れ換えたpチャネル型についても同様の効果が得られるることは言うまでもない。

#### 【図面の簡単な説明】

【図1】図(a)は本発明の実施の形態による縦型パワーMOSFETの一部を示す平面図であり、図(b)は図(a)のA-A断面図である。

【図2】図1に示した縦型パワーMOSFETの要部拡大図である。

【図3】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図4】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図5】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図6】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図7】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図8】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図9】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図10】図1に示した縦型パワーMOSFETの製造

工程の説明図である。

【図11】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図12】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図13】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図14】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図15】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図16】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図17】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図18】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図19】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図20】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図21】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図22】図1に示した縦型パワーMOSFETの製造工程の説明図である。

【図23】図1に示した縦型パワーMOSFETの製造工程の説明図である。

#### 【符号の説明】

1 半導体支持基板

30 12 エッジ部

15 ユニットセル

16 p型ベース層（ベース領域）

17 p+型ベースコンタクト層

18 層間絶縁膜

19 ソース電極

2 n-型エピタキシャル層

20 ドレイン電極

21 ウエハ（半導体基板）

211 傾斜部分

40 4 n+型ソース層（ソース領域）

5 チャネル

50 U溝（溝部）

51 側面

52 底面

60 フィールド酸化膜

601 酸化炉

602 酸素雰囲気

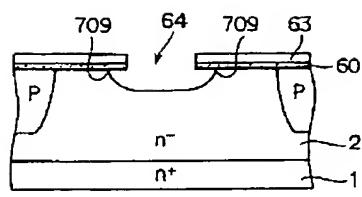
603 ホルダー

61 レジスト膜

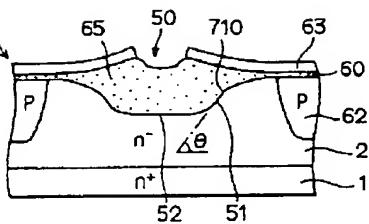
50 62 p型拡散層



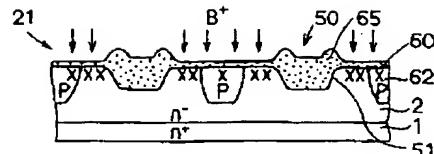
【図9】



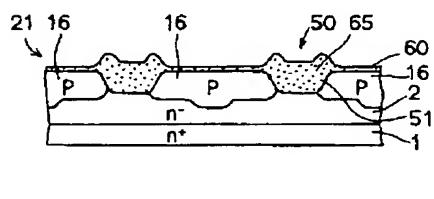
【図10】



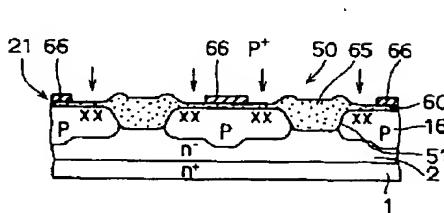
【図11】



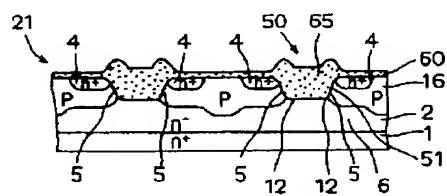
【図12】



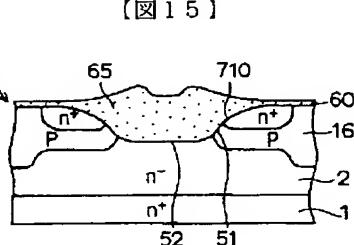
【図13】



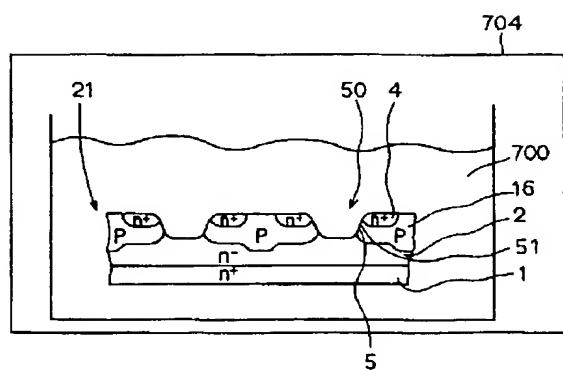
【図14】



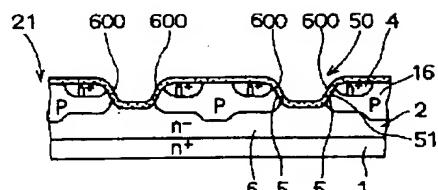
【図15】



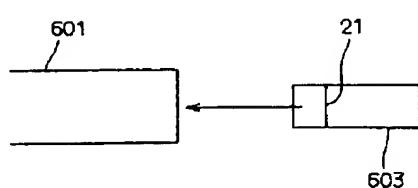
【図16】



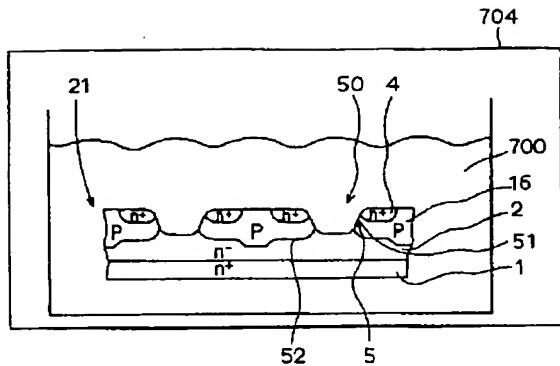
【図17】



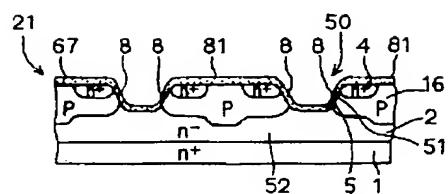
【図18】



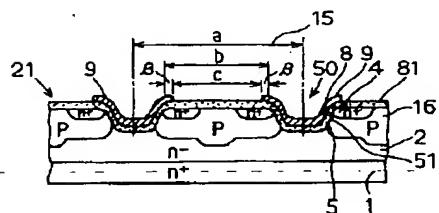
【図19】



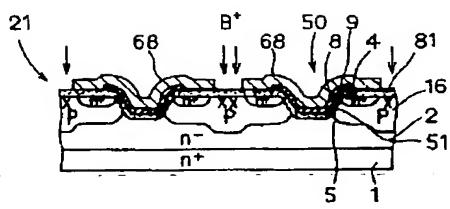
【図20】



【図21】



【図22】



【図23】

